

(19)日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-509711

(43)公表日 平成11年(1999)8月24日

(51)Int.Cl.<sup>6</sup>  
H 03 G 3/10  
H 03 F 3/45

識別記号

F I  
H 03 G 3/10  
H 03 F 3/45B  
Z

審査請求 未請求 予備審査請求 未請求(全 15 頁)

(21)出願番号 特願平9-539692  
 (22)出願日 平成9年(1997)5月5日  
 (85)翻訳文提出日 平成10年(1998)1月6日  
 (86)国際出願番号 PCT/IB97/00483  
 (87)国際公開番号 WO97/42704  
 (87)国際公開日 平成9年(1997)11月13日  
 (31)優先権主張番号 96201256.3  
 (32)優先日 1996年5月9日  
 (33)優先権主張国 ヨーロッパ特許庁 (EP)  
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71)出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ  
 オランダ国 5621 ベーアー アイントフェン フルーネヴァウツウェッハ 1  
 (72)発明者 メンシング クレメンス ヘルマン ヨハン  
 オランダ国 5656 アーアー アイントフェン プロフ ホルストラーン 6  
 (72)発明者 ノータ ブラム  
 オランダ国 5656 アーアー アイントフェン プロフ ホルストラーン 6  
 (74)代理人 弁理士 杉村 晓秀 (外5名)

(54)【発明の名称】可制御相互コンダクタンスを有する縮退差動対

## (57)【要約】

入力トランジスタ (T1, T2) と可変縮退抵抗とを設けた差動対。前記縮退抵抗は結合抵抗 (R1~R6, R7~R12) の2つの分岐 (4, 6) の直列回路を有し、これら分岐は互いに対応する点 (12/17, 13/18, 14/19, 15/20, 16/21) で制御トランジスタ (T8~T12) によりそれぞれ分路され、これら制御トランジスタのゲートは相互接続されている。前記差動対は更に、2つの電流ミラー (CM1, CM2) と、バイアス抵抗 (RB) と、制御トランジスタ (T8~T12) のゲートに制御信号を供給する電流源 (22) とを有する制御ループを具える。この制御ループは差動対の直流バイアスに影響を及ぼさない。

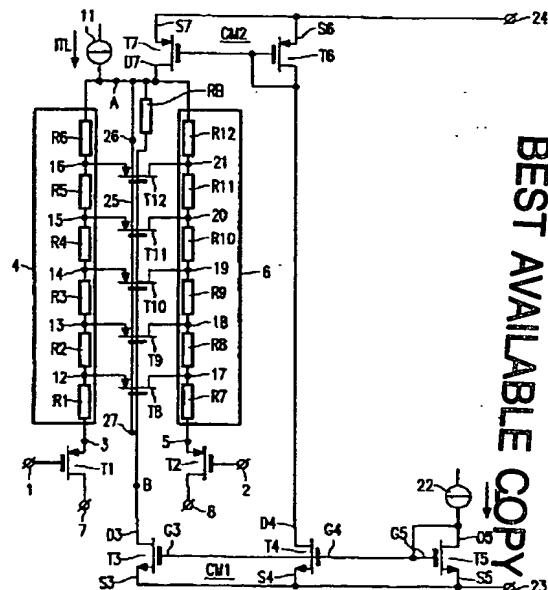


FIG. 1

## 【特許請求の範囲】

1. 第1トランジスタ (T1) 及び第2トランジスタ (T2) を有する差動対であって、各トランジスタは制御電極と、第1主電極 (3, 5) 及び第2主電極 (7, 8) 間の主電流通路とを有し、前記差動対は更に第1トランジスタ (T1) の第1主電極 (3) を第2トランジスタ (T2) の第1主電極 (5) に結合する縮退抵抗を有している当該差動対において、

前記縮退抵抗が、結合抵抗 (R1～R6) の第1分岐 (4) と結合抵抗 (R7～R12) の第2分岐 (6) との直列回路から成っており、これら第1及び第2分岐の結合抵抗は互いに対応する接続点 (12/17, 13/18, 14/19, 15/20, 16/21) においてそれぞれの制御トランジスタ (T8～T12) により分路されており、これら制御トランジスタの制御電極は制御信号を受けるように接続され、前記第1トランジスタ (T1) の第1主電極 (3) は前記第1分岐 (4) に結合され、前記第2トランジスタ (T2) の第1主電極 (5) は前記第2分岐 (6) に結合されていることを特徴とする差動対。

2. 請求の範囲1に記載の差動対において、この差動対が更にバイアス抵抗 (R8) を有し、このバイアス抵抗はその第1電極を以って第1分岐 (4) 及び第2分岐 (6) の共通接続点 (A) に結合されているとともにその第2電極を以ってそれぞれの制御トランジスタ (T8～T12) の制御電極に結合されていることを特徴とする差動対。

3. 請求の範囲2に記載の差動対において、この差動対が更に、前記バイアス抵抗 (RB) を流れる制御電流を前記制御信号に応答して発生させる制御ループを具えていることを特徴とする差動対。

4. 請求の範囲3に記載の差動対において、前記制御ループが、

バイアス抵抗 (RB) の前記第2電極に結合された第1出力端 (D3) と、第2出力端 (D4) と、制御信号を受ける入力端 (D5, G5) とを有する第1電流ミラー (CM1) と、

バイアス抵抗 (RB) の前記第1電極に結合された出力端 (D7) と、前記

第1電流ミラー (CM1) の前記第2出力端 (D4) に結合された入力端 (D7)

)とを有する第2電流ミラー(CM2)と  
を具えていることを特徴とする差動対。

5. 請求の範囲1～4のいずれか一項に記載の差動対において、この差動対が、  
2つの順次の制御トランジスタの制御電極間に電圧差を発生する手段を有している  
ことを特徴とする差動対。

6. 請求の範囲2～5のいずれか一項に記載の差動対において、バイアス抵抗(RB)  
が、ダイオードとして接続されたトランジスタを有していることを特徴とする  
差動対。

7. 請求の範囲2～6のいずれか一項に記載の差動対において、前記第1分岐(4)  
及び第2分岐(6)が大型の電界効果トランジスタ(T13)のソース(S13)及びドレイン  
(D13)を構成し、この電界効果トランジスタ(T13)にはバイアス抵抗(RB)  
の前記第2電極に結合された制御電極(G13)が設けられていることを特徴とする  
差動対。

8. 請求の範囲1に記載の差動対において、前記第1分岐(4)及び第2分岐(6)  
が大型の電界効果トランジスタ(T13)のソース(S13)及びドレイン  
(D13)を構成していることを特徴とする差動対。

9. 請求の範囲7又は8に記載の差動対において、前記第1トランジスタ(T1)  
の第1主電極(3)と直列に抵抗(R13)が接続され、前記第2トランジスタ  
(T2)の第1主電極(5)と直列に抵抗(R14)が接続されていることを  
特徴とする差動対。

10. 請求の範囲7～9のいずれか一項に記載の差動対において、前記電界効果ト  
ランジスタ(T13)の制御電極に、前記第1電流ミラー(CM1)の第1出力  
端(D3)に結合された第1接続点(30)と、前記バイアス抵抗(RB)の前  
記第2電極に結合された第2接続点(31)とが設けられていることを特徴とす  
る差動対。

## 【発明の詳細な説明】

## 可制御相互コンダクタンスを有する縮退差動対

本発明は、第1トランジスタ及び第2トランジスタを有する差動対であって、各トランジスタは制御電極と、第1主電極及び第2主電極間の主電流通路とを有し、前記差動対は更に第1トランジスタの第1主電極を第2トランジスタの第1主電極に結合する縮退抵抗を有している当該差動対に関するものである。

このような差動対は米国特許第5,210,504号明細書から既知である。この既知の回路では、差動対が電界効果トランジスタを以って構成され、縮退抵抗が電界効果トランジスタのソースと直列に接続され、制御電界効果トランジスタがそのソース及びドレインを以って前記縮退抵抗に並列に接続されて差動対の相互コンダクタンスを制御するようにしている。制御電界効果トランジスタはそのゲートにおける制御信号により抵抗値が制御される可変縮退抵抗として作用する。制御不可能な縮退抵抗は、この制御不可能な縮退抵抗と制御用の電界効果トランジスタとの並列回路の得られる抵抗値に対する上限設定として作用する。

既知の差動対の場合、制御電界効果トランジスタの抵抗特性が著しく非直線である為に差動対のひずみが大きくなるという欠点がある。

本発明の目的は、相互コンダクタンスを制御でき、ひずみを小さくする差動対を提供せんとするにある。

本発明は、第1トランジスタ及び第2トランジスタを有する差動対であって、各トランジスタは制御電極と、第1主電極及び第2主電極間の主電流通路とを有し、前記差動対は更に第1トランジスタの第1主電極を第2トランジスタの第1主電極に結合する縮退抵抗を有している当該差動対において、

前記縮退抵抗が、結合抵抗の第1分岐と結合抵抗の第2分岐との直列回路から成っており、これら第1及び第2分岐の結合抵抗は互いに対応する接続点においてそれぞれの制御トランジスタにより分路されており、これら制御トランジスタの制御電極は制御信号を受けるように接続され、前記第1トランジスタの第1主電極は前記第1分岐に結合され、前記第2トランジスタの第1主電極は前記第2分岐に結合されていることを特徴とする。

本発明は、互いに直列に接続した固定抵抗の分岐を以って縮退抵抗を構成することができ、これら分岐の一部を制御電界効果トランジスタにより次第に短絡していくことができるという認識を基に成したものである。従って、制御電界効果トランジスタの非線形直列抵抗特性は、可制御縮退抵抗の得られる抵抗値にわずかしか影響を及ぼさず、可制御縮退抵抗の抵抗特性はほぼ直線的となるという利点が得られる。

本発明の差動対の例では、この差動対が更にバイアス抵抗を有し、このバイアス抵抗はその第1電極を以って第1分岐及び第2分岐の共通接続点に結合されているとともにその第2電極を以ってそれぞれの制御トランジスタの制御電極に結合されているようになるのが好ましい。バイアス抵抗には可制御電流を流す。従って、制御トランジスタの制御電極に制御電圧が得られ、この制御電圧によって差動対の相互コンダクタンスを制御しうる。バイアス抵抗の第1電極を共通接続点に結合することにより、制御トランジスタの制御電極に与えられる適切な値の制御電圧を簡単に発生しうるという利点が得られる。

本発明による差動対の他の例では、この差動対が更に、前記バイアス抵抗を流れる制御電流を前記制御信号に応答して発生させる制御ループを具えるようにする。制御ループはこの制御ループから取り出されるのと同じ大きさの電流を第1及び第2分岐の共通接続点に供給する。この場合、共通接続点に結合されたテイル電流源によって与えられる差動対の直流バイアスが妨害されないという利点が得られる。制御ループは、バイアス抵抗の前記第2電極に結合された第1出力端と、第2出力端と、制御信号を受ける入力端とを有する第1電流ミラーと、バイアス抵抗の前記第1電極に結合された出力端と、前記第1電流ミラーの前記第2出力端に結合された入力端とを有する第2電流ミラーとを以って構成することができる。

本発明による差動対の更に他の例では、前記第1分岐及び第2分岐が大型の電界効果トランジスタのソース及びドレインを構成し、この電界効果トランジスタにはバイアス抵抗の前記第2電極に結合された制御電極が設けられているようにすることができる。両側に2つの接続点を有する大型のソースが抵抗の第1分岐

の代わりとなる。両側に2つの接続点を有する大型のドレインが抵抗の第2分岐の代わりとなる。本例は、特に相互コンダクタンスの制御範囲を広くする場合に用いて有利である。

以下、図面につき詳細に説明するに、図中、

図1は、本発明による差動対の第1実施例を示す回路図であり、

図2は、本発明による差動対の第2実施例を示す回路図である。

これらの図で同じ素子には同じ符号を付した。

図1の回路図は、電界効果トランジスタを有する差動対の一実施例を示す。この差動対は2つの入力トランジスタT1及びT2を有し、これらトランジスタの制御電極、すなわちゲートは入力信号を入力させるための入力端子1及び入力端子2にそれぞれ接続されている。トランジスタT1及びT2の第1主電極3, 5すなわちソースは抵抗4の第1分岐及び抵抗6の第2分岐にそれぞれ接続されている。トランジスタT1及びT2の第2主電極すなわちドレインは出力信号を取り出すための第1出力端子7及び第2出力端子8にそれぞれ接続されている。抵抗4及び6の分岐は共通接続点Aで直列に接続されている。抵抗4及び6の分岐並びにトランジスタT1及びT2には、共通接続点Aに結合された直流電流源11により直流バイアスが与えられる。抵抗4及び6の分岐はそれぞれ6個の抵抗R1～R6及びR7～R12を有している。トランジスタT1及びT2のソースから見て、抵抗4及び6の第1及び第2分岐の互いに対応する接続点12/17, 13/18, 14/19, 15/20及び16/21がトランジスタT8～T12のそれぞれのソースードレイン通路により相互接続され、これらトランジスタT8～T12のゲートは制御信号を受ける接続点Bで相互接続されている。接続点Aと接続点Bとの間にはバイアス抵抗RBが接続されている。このバイアス抵抗RBの代わりに、例えばダイオードとして接続されたトランジスタのような他の素子を用いることができる。差動対は更に、第1電流ミラーCM1及び第2電流ミラーCM2を有する。第1電流ミラーCM1は3つのトランジスタT3, T4及びT5を有する。トランジスタT3のドレインD3は第1電流ミラーCM1の第1出力端を構成し、接続点Bに結合されている。トランジスタT4のドレインD4は第1電流ミラーCM1の第2出力端を構成している。第1電流ミラー

CM1の入力端は、ダイオードとして接続されたトランジスタT5を以って構成されている。第1電流ミラーCM1の入力端には制御電流ICを供給する電流源22が結合されている。第2電流ミラーCM2の入力端は、ダイオードとして接続されドレインD4に結合されたトランジスタT6を以って構成されている。第2電流ミラーCM2の出力端は、接続点Aに結合されたトランジスタT7のドレインD7を以って構成されている。トランジスタT3, T4及びT5のソースS3, S4及びS5は負電源端子23に結合され、トランジスタT6及びT7のソースS6及びS7は正電源端子24に結合されている。

上述した回路の動作は以下の通りである。直流電流源11により生ぜしめられる直流電流ITLは互いに等しい半分となって差動対の抵抗4及び6の2つの分岐に流れる。図1において抵抗4及び6の分岐の接続点におけるそれぞれの電位はトランジスタT1のソース3及びトランジスタT2のソース5において最低となり、順次共通接続点Aにおける最大電位まで上昇する。差動対の相互コンダクタンスは、抵抗4及び6の2つの分岐から成る縮退抵抗を1つ又は複数の制御トランジスタの逐次的なスイッチ・オン又はスイッチ・オフにより制御可能とすることにより変えることができる。制御トランジスタT8～T12のゲートに必要とする制御電圧は、制御電流ICに比例するバイアス抵抗RBを流れる制御電流により発生される。バイアス抵抗RBを流れる制御電流は、2つの電流ミラーCM1及びCM2と、バイアス抵抗RBと、電流源22とより成る制御ループにより発生される。このようにして、差動対の相互コンダクタンスはこの差動対の直流バイアスに影響を及ぼすことなく制御される。制御電流ICが零に等しい場合には、バイアス抵抗RBの両端間の電圧降下も零に等しい。その結果、制御トランジスタT8～T12のゲートにおける電位は、すべての制御トランジスタT8～T12が導通しなくなる程度に高くなる。従って、縮退抵抗の抵抗値は最大となり、その結果差動対の相互コンダクタンスは最小となる。制御電流が次第に増大すると、まず最初に制御トランジスタT12が導通状態に入る。制御電流が更に増大すると、制御トランジスタT11, T10, T9及びT8が順次に導通状態に入る。すべての制御トランジスタT8～T12が導通すると、縮退抵抗の抵抗値は最小となり、従って差動対の相互コンダクタンスは最大となる。

制御トランジスタのすべてのゲートには必ずしも図1に示すように同じ電位を与える必要はない。実際には、2つの順次の制御トランジスタのゲート間に電圧差を発生させる手段を差動対に設けることにより、差動対のひずみを更に減少させることができる。これらの手段には、例えば直列に接続された抵抗の回路を設け、この回路をバイアス抵抗RBと接続点Bとの間に直列に接続し、直列接続された抵抗の順次の接続点を制御トランジスタの順次のゲートに接続するようになることができる。制御トランジスタT8～T12の共通バルク25は図1に示すように第1バルク接続点26を以って接続点Aに結合されている。第1バルク接続点26は例えば正電源端子24のような他の適切な点に結合することもできる。差動対のひずみは、バルク25に流す電流を発生させる手段をこの差動対に設け、このバルク25のオーム抵抗値によりこのバルク25の両端間に電圧降下を生ぜしめるようにすることにより更に減少させることができる。これらの手段は、例えば、第1バルク接続点26を例えば正電源端子24のような適切な接続点に接続する手段と、直流電流源を第2バルク接続点27に結合する手段とを有するようにしうる。バルク接続点26と接続点Aとの間の結合が選択される場合には、バイアス抵抗RBに電流を供給する手段と対応するように、第1バルク接続点26及び第2バルク接続点27に電流を供給する追加の手段を講じることができ、この追加の手段によれば、差動対の直流バイアスをもバルク25を流れる電流により影響されない状態に保つという利点が得られる。

図2の回路は、本発明による差動対の他の実施例を示す。図2では、図1に示す抵抗4及び6の分岐と制御トランジスタT8～T12との代わりに大型の電界効果トランジスタT13を用いる。この電界効果トランジスタT13は、トランジスタT1のソース及び接続点Aにそれぞれ結合された第1接続点28及び第2接続点29を具える大型のソースS13を抵抗4の分岐の代わりに有するとともに、トランジスタT2のソース及び接続点Aにそれぞれ結合された第1接続点29及び第2接続点30を具える大型のドレインD13を抵抗6の分岐の代わりに有している。ソースS13及びドレインD13間には、第1ゲート接続点30及び第2ゲート接続点31を有する大型のゲートG13があり、これら接続点30及び31はトランジスタT13の主電流通路の方向に対し平行に延在するゲート1

3の両側にある。トランジスタT13は更に、大型のバルク25を有し、このバルク25はトランジスタT3の主電流通路の方向に対し平行に延在する当該バルク25の両側に位置するバルク接続点26及び27を有する。差動対は更に、ソースS13の第2接続点28とトランジスタT1のソース3との間に直列に接続された抵抗R13と、ドレインD13の第2接続点29とトランジスタT2のソース5との間に直列に接続された抵抗R14とを有する。大型のソースS13のオーム抵抗値と大型のドレインD13のオーム抵抗値とは、無限に小さい抵抗を無限数結合して成る分岐として作用する。その結果得られる縮退抵抗の値は抵抗R13及びR14により高められる。これら抵抗R13及びR14は所望に応じ省略することができる。この場合、接続点28及び29はそれぞれトランジスタT1及びT2の主電極に結合する必要がある。ゲート接続点30及び31はそれぞれトランジスタT3のドレインD3及びバイアス抵抗RBの第2電極に結合されている。この構成によれば、ゲートG13に電流を通すことができる。本例では、ゲートG13のオーム抵抗の為に、ゲートG13の電位はゲート接続点30で最低となり、ゲートG13に沿って次第に上昇し、ゲート接続点31で最大値となる。ゲートG13を流れる電流を適切に選択することによりトランジスタT13を一層徐々に導通させることができる為、差動対のひずみが一層少なくなる。第2ゲート接続点31は省略することもできる。この場合、バイアス抵抗R13を接続点Aと接続点30との間に結合させる必要がある。この場合、ゲートG13は電流を通さないことが明らかである。

図2に示す差動対の動作は図1の差動対の動作とほぼ同じである。制御電流ICが零に等しい場合には、バイアス抵抗RBの両端間の電圧降下も零に等しい。従って、ゲートG13における電位は、大型の電界効果トランジスタT13が導通しない程度に高くなる。この場合、得られる縮退抵抗の抵抗値は最大となり、従って差動対の相互コンダクタンスは最小となる。制御電流ICを次第に増大させると、大型の電界効果トランジスタT13の導通部分が増大し、最終的に大型の電界効果トランジスタT13が完全に導通する。この場合、得られる縮退抵抗の抵抗値が最小となり、従って差動対の相互コンダクタンスが最大となる。

図1及び2に示す電流ミラーの代わりに他の種類の電流ミラーを用いることが

できる。

図示の導電型の電界効果トランジスタの代わりに、反対導電型の電界効果トランジスタを用いることもできる。この場合、これに応じて電圧源及び電流源の極性を適合させる必要がある。抵抗の分岐を構成する抵抗の個数やこれに伴う制御トランジスタの個数は図1に示す個数よりも多くしたり、少なくしたりすることができる。電界効果トランジスタの代わりにバイポーラトランジスタを用いることもでき、この場合バイポーラトランジスタのベース、エミッタ及びコレクタが電界効果トランジスタのゲート、ソース及びドレインの代わりとなる。バイポーラトランジスタと電界効果トランジスタとの組合せも可能であり、例えばトランジスタT8～T12に対し電界効果トランジスタを用い、トランジスタT1～T7に対しバイポーラトランジスタを用いることができる。差動対は集積回路の形態で実現したり、個別の素子を以って構成したりすることができる。

[図1]

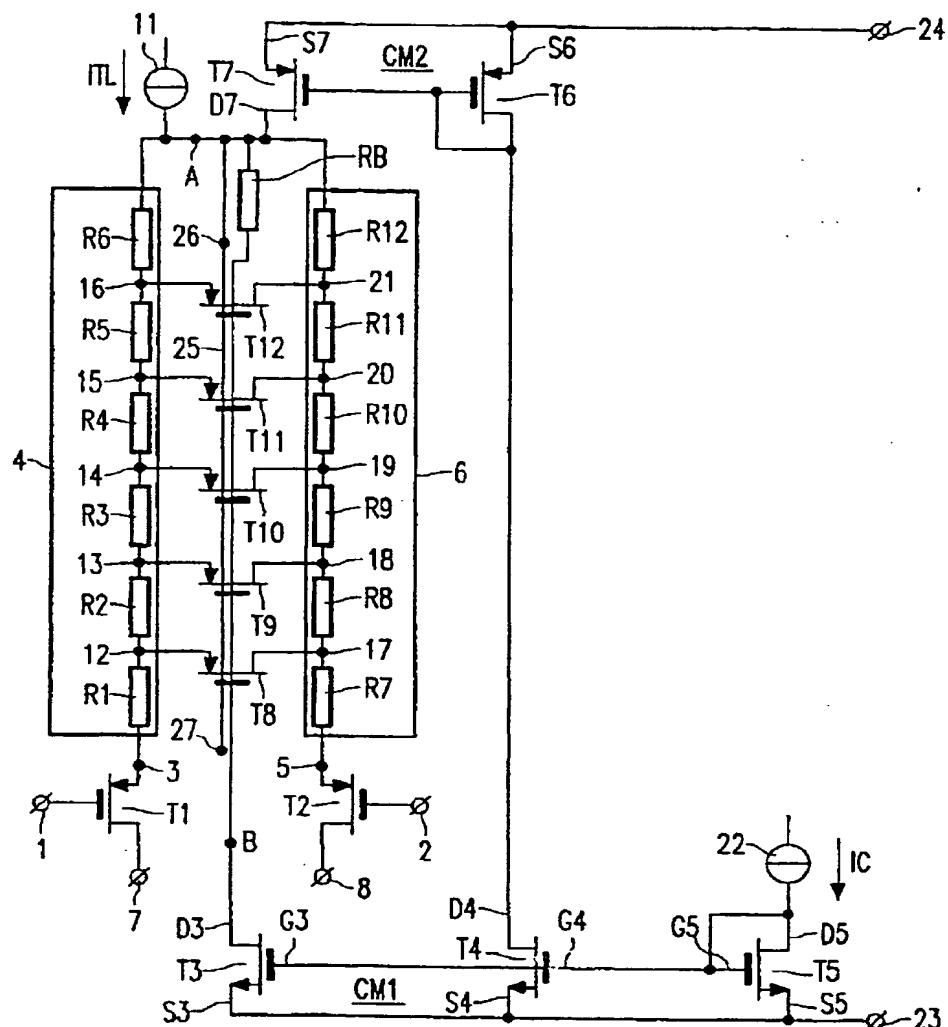


FIG. 1

**BEST AVAILABLE CO.,**

【図2】

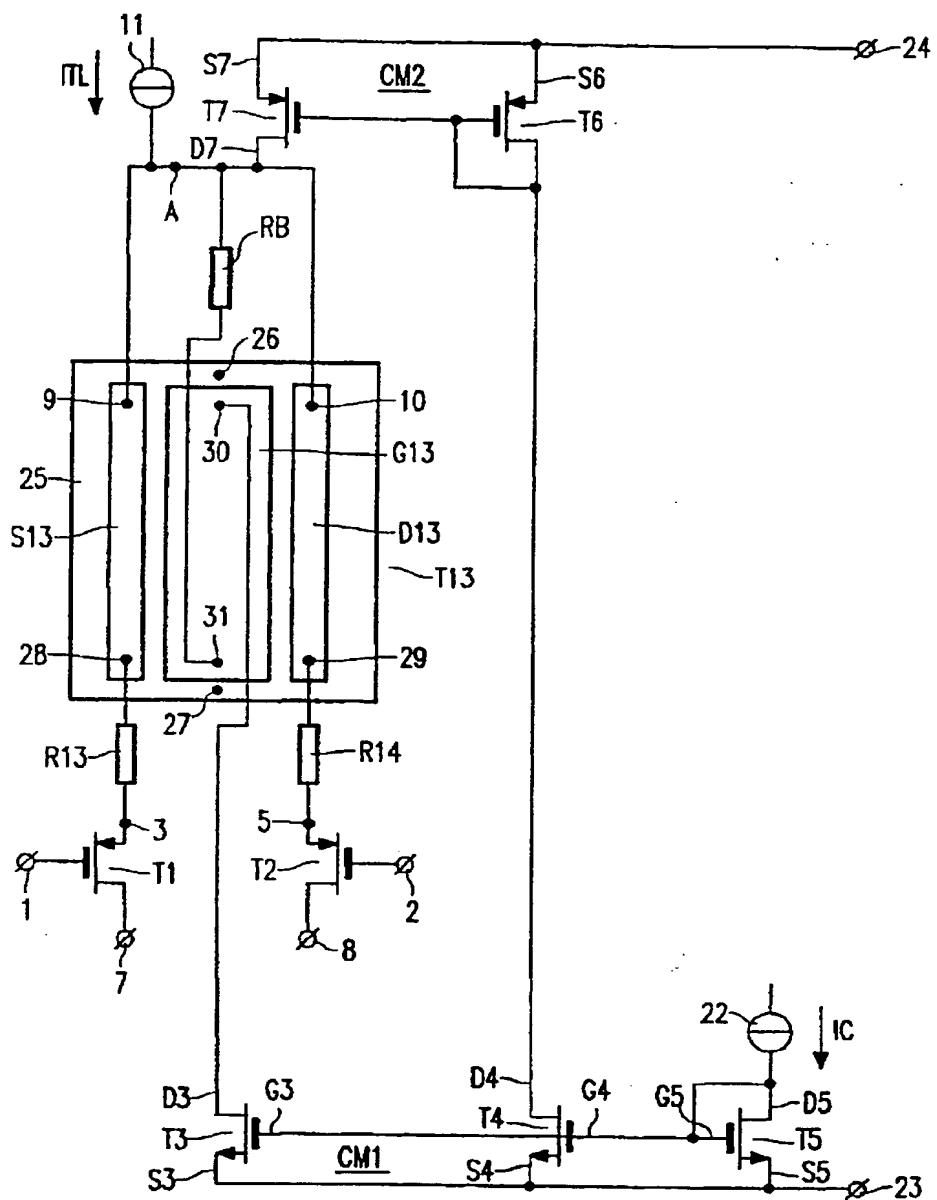


FIG.2

BEST AVAILABLE COPY

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB 97/00483
A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H03G 3/30, H03F 3/45 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H03G, H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched SE, DK, FI, NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPIL, EDOC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, O	IEE JOURNAL OF SOLID-STATE CIRCUITS, Volume 32, No 7, July 1997, Clemens H.J. Mensink et al, "A CMOS "Soft-Switched" Transconductor and Its Application in Gain Control and Filters", 22nd European Solid-State Circuits Conference, conference date sept 96 --	1-10
A	EP 0587965 A1 (SGS-THOMSON MICROELECTRONICS S.R.L.), 23 March 1994 (23.03.94), figure 3 --	1
A	US 5210504 A (YAGITA ET AL), 11 May 1993 (11.05.93), figure 1, cited in the application --	1
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search <b>21 November 1997</b>		Date of mailing of the international search report <b>25-11-1997</b>
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer <b>Eva Jedernark</b> Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB 97/00483
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2215931 A (TEXAS INSTRUMENTS LIMITED), 27 Sept 1989 (27.09.89), figure 1  --	1
A,P	EP 0724335 A1 (SAMSUNG SEMICONDUCTOR, INC.), 31 July 1996 (31.07.96), figure 1  -- -----	1
Form PCT/ISA/210 (continuation of second sheet) (July 1992)		

## INTERNATIONAL SEARCH REPORT

Information on patent family members

01/10/97

International application No.  
PCT/IB 97/00483

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0587965 A1	23/03/94	JP 6216657 A	05/08/94
US 5210504 A	11/05/93	EP 0514655 A JP 4345305 A KR 9606537 B	25/11/92 01/12/92 17/05/96
GB 2215931 A	27/09/89	NONE	
EP 0724335 A1	31/07/96	CN 1130322 A JP 8223041 A US 5589831 A	04/09/96 30/08/96 31/12/96